


Politechnika  Białostocka

Wydział Elektryczny

Katedra Automatyki i Elektroniki

Instrukcja
do ćwiczeń laboratoryjnych z przedmiotu:

ELEMENTY ELEKTRONICZNE

Podstawowe bramki logiczne

BIAŁYSTOK 2006

PODSTAWOWE BRAMKI LOGICZNE

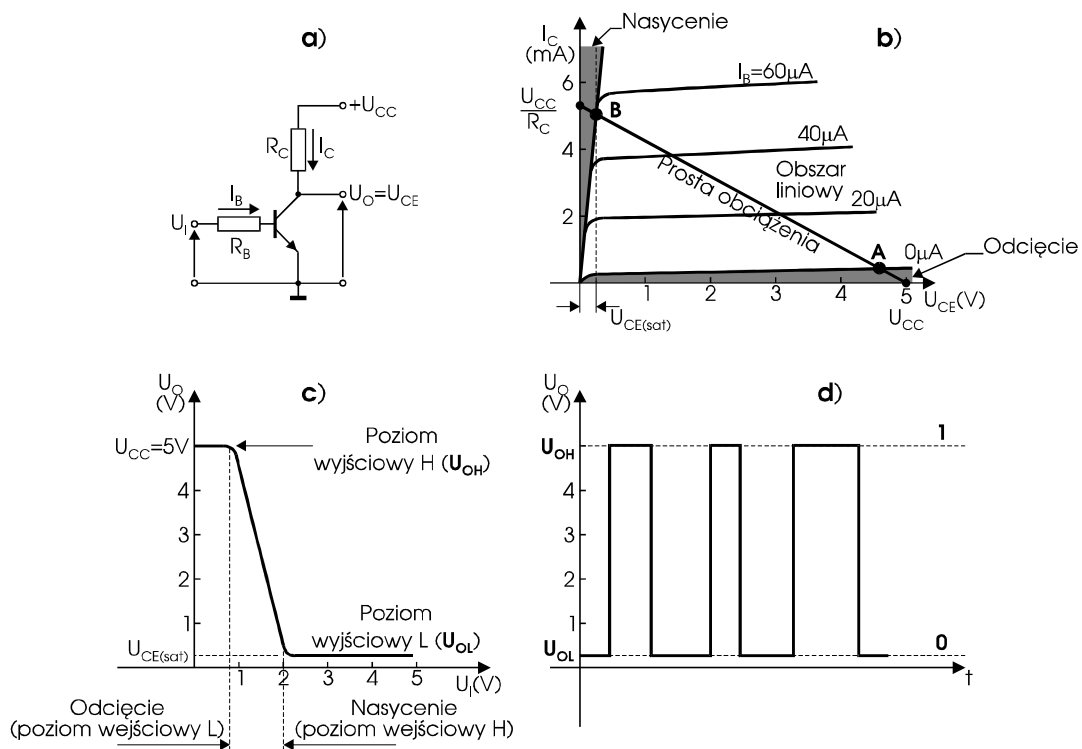
I. Podstawowe właściwości układów cyfrowych

1. Wstęp

Muzyka na płytach fonograficznych jest zapisana w formie kanaliku o zmiennym urzeźbieniu. Ruch igły prowadzonej przez kanalik odbywa się w sposób *ciągły* ale ze zmieniającą się amplitudą i częstotliwością - odzwierciedlając zapisane frazy muzyczne. Tak zarejestrowany sygnał może przybierać praktycznie dowolne wartości z pewnego szerokiego zakresu i nazywany jest *sygnałem analogowym*.

W przeciwieństwie, muzyka na dyskach kompaktowych jest zapisana w formie pewnego wzoru składającego się z płaskich obszarów oraz dziur, które albo odbijają światło albo nie. Tak zarejestrowany sygnał nazywany jest *sygnałem dyskretnym* albo *sygnałem cyfrowym*. Sygnał cyfrowy przybiera wyłącznie dwie wartości.

Elektroniczne układy cyfrowe służą do przetwarzania sygnałów cyfrowych. Ich podstawowym elementem jest tranzystor pracujący jako przełącznik. Działanie takiego tranzystora ma charakter impulsowy - znajduje się on, na przemian, albo w *stanie włączenia* - ang. *ON* (tranzystor nasycony), albo w *stanie wyłączenia* - ang. *OFF* (tranzystor odcięty). **Rys. 1.1** przedstawia pracę tranzystora w układzie przełącznika dwustanowego.



Rys. 1.1 Tranzystor jako przełącznik: a) schemat układu, b) obszary pracy tranzystora, c) charakterystyka przejściowa, d) sygnał cyfrowy

Gdy do wejścia układu z **rys. 1.1** jest doprowadzone napięcie $U_i < 0,7V$, czyli niski poziom napięcia, wówczas tranzystor **nie przewodzi** (jest odcięty - punkt pracy **A**) i na jego kolektorze występuje napięcie bliskie U_{CC} , czyli wysoki poziom napięcia - U_{OH} . Jeżeli natomiast napięcie wejściowe U_i ma odpowiednio dużą wartość, czyli na wejściu występuje wysoki poziom napięcia, to tranzystor **przewodzi** (jest nasycony - punkt pracy **B**) i na jego kolektorze występuje napięcie nasycenia $U_{CE(sat)}$, czyli niski poziom napięcia - U_{OL} . Tranzystor w tym układzie pracuje jak typowy przełącznik dwustanowy (**OFF** - **ON**) którego kontaktami są końcówki emitera i kolektora. Rezystancja pomiędzy kolektorem i emiterem zmienia się, przy przejściu od stanu wyłączenia do stanu włączenia, od wartości powyżej $5M\Omega$ do wartości poniżej 50Ω . Z przebiegu charakterystyki przejściowej układu wyraźnie widać odwrócenie poziomów napięć na wyjściu w stosunku do wejścia układu. Układ o takim rodzaju pracy jest nazywany **inwerterem**. Inwerter stanowi najbardziej elementarny komponent scalonych układów cyfrowych.

Wysoki poziom napięcia wyjściowego U_{OH} (tranzystor wyłączony) odpowiada stanowi logicznemu **HIGH** albo **1**, natomiast niski poziom napięcia wyjściowego U_{OL} (tranzystor włączony) odpowiada stanowi logicznemu

LOW albo **0**. Wartości napięć wyjściowych, przedstawionych na charakterystyce przejściowej, odpowiadające stanowi logicznemu **1** oraz **0** (około 5V oraz około 0,2V) są typowe dla zdecydowanej większości **układów cyfrowych**.

Obecnie, w coraz szerszym zakresie, **technika analogowa** jest zastępowana przez **technikę cyfrową**, szczególnie w tych urządzeniach (systemach), gdzie wszelkiego rodzaju *dane* muszą być zgromadzone w **pamięci**. Zaletą systemów cyfrowych jest zdolność do przetwarzania danych wejściowych (np. przez dokonanie obliczeń), do podejmowania decyzji (np. przez wypracowanie sygnałów sterowania) oraz do wyświetlania komunikatów w postaci liczb i/lub liter. **Przetwarzanie informacji** jest bardzo znaczącym składnikiem wszystkich gałęzi nauki i techniki.

Układy cyfrowe potrafią przetwarzać sygnały cyfrowe w sposób prosty i jednocześnie niezwykle szybko. Automatyka, robotyka, komputery, telekomunikacja - to dziedziny techniki w których obserwujemy najbardziej gwałtowny rozwój, głównie dzięki stosowaniu coraz nowszych generacji układów cyfrowych, za każdym razem szybszych i o większym stopniu scalenia. Pojedynczy chip mikroprocesora zawiera kilka milionów tranzystorów. Układy o tej skali scalenia nazywają się układami **VLSI** (ang. *Very Large Scale Integration*).

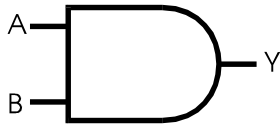
2. Funkcje logiczne

Teoria układów cyfrowych, traktowanych jako układy logicznego działania, opiera się na dwuelementowej **algebrze Boole'a**. Zastosowanie zasad i praw tej algebry umożliwia wykonanie analitycznej syntezy skomplikowanych funkcji logicznych i zbudowanie odpowiadających im schematów logicznych układów cyfrowych. Przykładowo, procesor jest sprzętową (układową) realizacją swojej własnej listy rozkazów.

Funkcją logiczną nazywa się funkcję, której argumenty (zmienne logiczne) oraz sama funkcja mogą przybierać tylko jedną z dwu wartości, np. **0** (inaczej ang. *FALSE* - czyli **Fałszywe**) lub **1** (inaczej ang. *TRUE* - czyli **Prawdziwe**). Argumenty funkcji oznaczamy zazwyczaj literami **A, B, C, ...**. Wartości argumentów funkcji logicznej odpowiadają **stanom wejść** układu cyfrowego, a wartości samej funkcji - **stanom wyjść** tego układu.

Funkcja logiczna może być zadana za pomocą **opisu słownego**, tablicy wartości funkcji - tzw. **tablicy prawdy** (ang. *truth table*), analitycznie w postaci **wyrażenia algebraicznego** (równania boolowskiego) lub graficznie za pomocą **symboli logicznych**. Sposoby wyrażania funkcji logicznych przedstawiono w **tablicy 2.1**.

Tablica 2.1 Sposoby wyrażania funkcji logicznych

Opis słowny	Iloczyn logiczny argumentów A i B jest równy 1 , gdy A=1 i B=1															
<p>Tablica prawdy - Truth table</p> <p>Zawiera wszystkie kombinacje możliwych stanów wejść układu logicznego i odpowiadające im stany wyjścia tego układu. Liczba stanów układu jest równa 2^n, gdzie n jest liczbą wejść układu.</p>	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Y</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Y	0	0	0	0	1	0	1	0	0	1	1	1
A	B	Y														
0	0	0														
0	1	0														
1	0	0														
1	1	1														
<p>Wyrażenie algebraiczne</p> <p>(czytaj: A i B równa się Y)</p>	$A \cdot B = Y$															
<p>Symbol logiczny</p> <p>(nazwa skrótowa - AND)</p>																


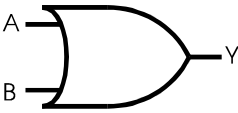
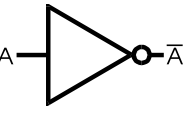

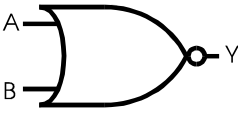
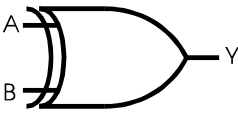
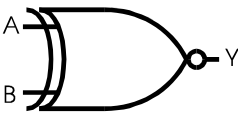
Podstawowymi funkcjami logicznymi są: **AND** (iloczyn logiczny), **OR** (suma logiczna) oraz **NOT** (negacja). Za ich pomocą można opisać dowolnie skomplikowany układ logiczny.

3. Bramki logiczne

Bramki logiczne - ang. *gates* (nazywane także *funktorami logicznymi*) są najprostszymi układami cyfrowymi realizującymi elementarne funkcje logiczne. Służą one do budowy układów logicznych o większej

złożoności. Podstawowe bramki logiczne, ich nazwy, symbole graficzne, opis algebraiczny oraz tablice prawdy przedstawiono w **tablicy 3.1**.

Tablica 3.1 Podstawowe bramki logiczne

FUNKCJA LOGICZNA	SYMBOL LOGICZNY	WYRAŻENIE ALGEBRAICZNE	TRUTH TABLE		
			Inputs		Output
			A	B	Y
AND		$A \cdot B = Y$	0	0	0
			0	1	0
			1	0	0
			1	1	1
OR		$A + B = Y$	0	0	0
			0	1	1
			1	0	1
			1	1	1
NOT (Inverter)		$A = \bar{A}$	0		1
			1		0
NAND		$\overline{A \cdot B} = Y$	0	0	1
			0	1	1
			1	0	1
			1	1	0
NOR		$\overline{A + B} = Y$	0	0	1
			0	1	0
			1	0	0
			1	1	0
XOR		$A \oplus B = Y$	0	0	0
			0	1	1
			1	0	1
			1	1	0
XNOR		$\overline{A \oplus B} = Y$	0	0	1
			0	1	0
			1	0	0
			1	1	1

Bramki **AND**, **OR**, **NOT** tworzą tzw. *funkcjonalnie pełny* zestaw elementów. Oznacza to, że można z nich zbudować dowolnie złożony układ logiczny.

Za pomocą wyłącznie bramek **NAND** albo wyłącznie bramek **NOR** można także zrealizować dowolnie złożoną funkcję, w tym również funkcje podstawowe **AND**, **OR**, **NOT**. Z tego powodu mówimy, że bramki **NAND** i **NOR** oddzielnie tworzą tzw. *minimalny* zestaw *funkcjonalnie pełny*. W pierwszej chwili może się wydawać, że stosowanie funktorów **NAND** lub **NOR** do realizacji prostych funkcji **iloczynu**, **sumy** i **negacji** jest niepotrzebne i tylko komplikuje postawione zadanie. W praktyce okazuje się, że zalety stosowania jednoelementowego zbioru do realizacji dowolnej funkcji logicznej są bardzo duże. Przeglądając katalogi producentów układów cyfrowych można z łatwością zauważyć, że najszerszą ofertę stanowią bramki **NAND**, gdyż są one najchętniej stosowane przez użytkowników (można powiedzieć, że bramka **NAND** jest bramką uniwersalną).

Bramki **XOR** oraz **XNOR**, ze względu na swoją specyfikę, służą do budowy układów arytmetycznych (sumatory binarne) oraz układów detekcji błędów przesyłu informacji cyfrowej (układy z kontrolą bitu parzystości).

Bramki, jako układy cyfrowe o niezbyt złożonej strukturze, należą do układów o małej skali scalenia, tzw. **SSI** (ang. *Small Scale Integration*).

4. Przegląd technologii układów cyfrowych scalonych

Pod względem konstrukcyjno-technologicznym wszystkie układy cyfrowe scalone można podzielić ogólnie na:

- **bipolarne**, w których podstawowymi elementami są tranzystory bipolarne,
- **unipolarne**, nazywane również **układami MOS**, w których podstawowymi elementami są tranzystory MOS.

Spośród wielu dostępnych *klas (technik) układowych* najważniejsze znaczenie mają:

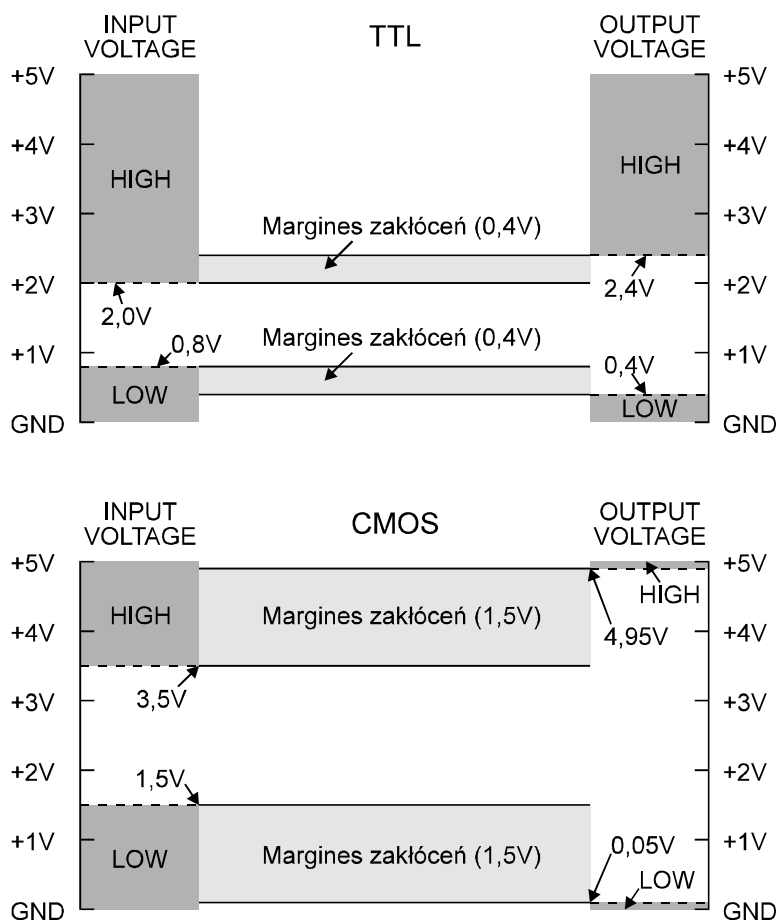
- **układy TTL** (ang. *Transistor-Transistor Logic*), które są **układami bipolarnymi**,
- **układy CMOS** (ang. *Complementary Metal Oxide Semiconductor*), które są **układami unipolarnymi** - z tranzystorami p-MOS oraz n-MOS.

Podstawowe parametry techniczne układów cyfrowych

★ **Obciążalność logiczna bramki (N)** - maksymalna liczba bramek, jaka może być równolegle sterowana z wyjścia pojedynczej bramki.

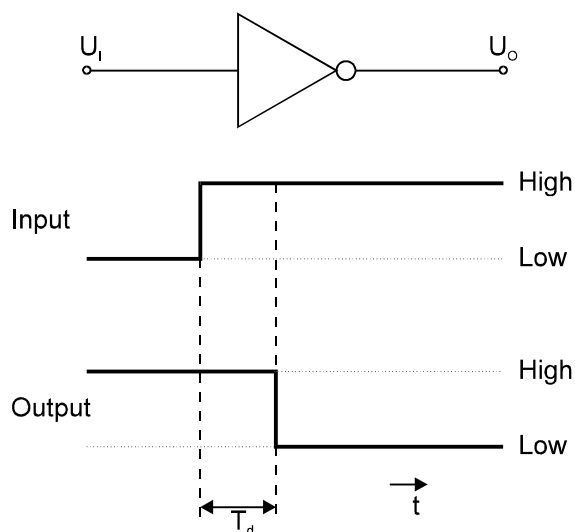
★ **Napięcia poziomów logicznych (HIGH, LOW)** - zakresy napięć wejściowych oraz wyjściowych, które układ realizuje jako **gwarantowany stan 1** oraz **gwarantowany stan 0**.

★ **Margines zakłóceń (U_{NM})** - określa dopuszczalną wartość napięcia sygnału zakłócającego, nie powodującego jeszcze **nieprawidłowej** pracy układu. Interpretację poziomów logicznych i marginesów zakłóceń podano na **rys. 4.1**.



Rys. 4.1 Napięcia poziomów logicznych HIGH, LOW i marginesy zakłóceń dla układów TTL i CMOS

★ **Czas propagacji (T_d)** - określa czas **opóźnienia** odpowiedzi układu na sygnał sterujący i jest podstawową miarą szybkości działania układu cyfrowego.

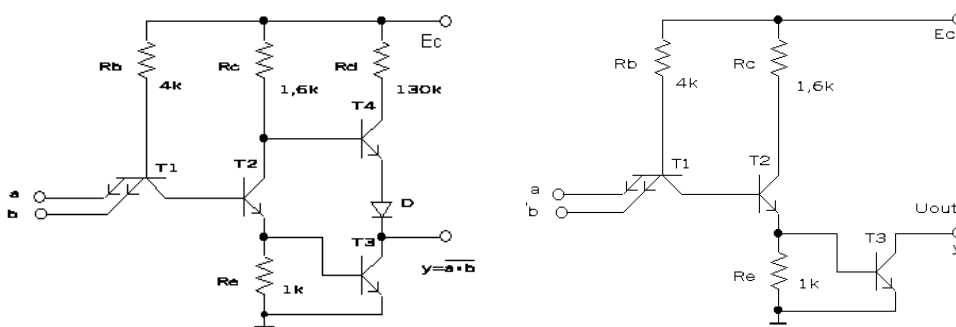


Rys. 4.2. Czas propagacji dla układu inwertera

★ **Moc strat na bramkę (P_d)** - określa moc **pobieraną** przez układ ze źródła zasilania.

Układy TTL

Dwuwejściową bramkę NAND oraz bramkę NAND z otwartym kolektorem przedstawiono na rys. 4.3.



Rys. 4.3. Bramki NAND (TTL) - tranzystor T1 jest wieloemiterowym tranzystorem npn

Przyłączenie jakiegokolwiek wejścia A, B lub obydwu do masy (co oznacza stan wejść równy **0**) powoduje **wyłączenie** tranzystora **T2** i **T4**, gdyż napięcie na **bazie** tranzystora **T1** nie przekracza wartości $0,3V + 0,7V = 1V$ i jest niewystarczające do spolaryzowania złącza **baza-kolektor** tranzystora **T1**, złącza **baza-emiter** tranzystora **T2** oraz złącza **baza-emiter** tranzystora **T4** w stan przewodzenia (musiałoby być równe co najmniej $0,7V + 0,7V + 0,7V = 2,1V$). Gdy **T2** jest **wyłączony**, wtedy **T3** jest **włączony** i napięcie na wyjściu układu osiąga wartość $5V - 0,3V - 0,7V = 4V$, co oznacza stan wyjścia układu równy **1**.

UWAGA: Napięcie **0,7V** jest napięciem na przewodzącym złączu p-n, a napięcie **0,3V** jest napięciem $U_{CE(sat)}$, a więc napięciem pomiędzy kolektorem i emiterem nasyconego tranzystora.

Gdy oba wejścia A, B są na poziomie **1**, wtedy złącza **baza-emitery** tranzystora **T1** są spolaryzowane zaporowo - co powoduje, że napięcie na bazie tranzystora **T1** może osiągnąć wartość $2,1V$ i jest wystarczające

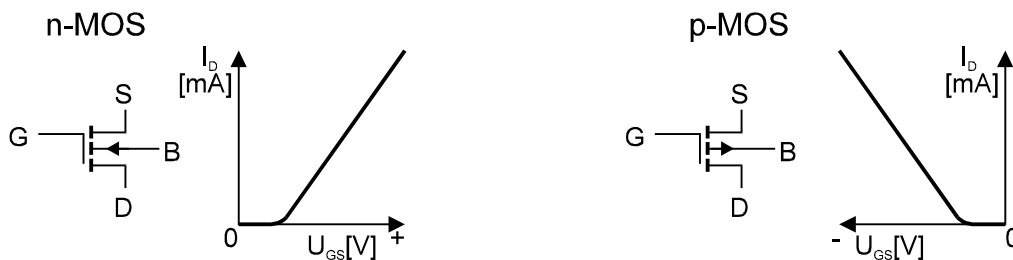
do wprowadzenia tranzystorów **T2** i **T4** w stan **włączenia**. Napięcie na kolektorze tranzystora **T2** (o wartości 1,4V) jest niewystarczające do spolaryzowania tranzystora **T3** w stan przewodzenia (ze względu na obecność diody) i tranzystor **T3** jest **wyłączony**. Napięcie wyjściowe osiąga wartość 0,3V i jest równe napięciu $U_{CE(sat)}$ tranzystora **T4** - co oznacza stan **0** na wyjściu układu.

Układy CMOS

Układy CMOS zawierają komplementarne pary **wzbogacanych** ("normalnie wyłączonych") tranzystorów n-MOS oraz p-MOS. Symbole graficzne oraz charakterystyki tych tranzystorów pokazano na **rys. 6.4**.

Zauważ, że przy napięciu $U_{GS} = 0$ żaden tranzystor nie przewodzi. Podstawowym układem CMOS jest układ **inwertera** przedstawiony na **rys. 4.5**.

Zauważ, że dodatni biegun napięcia zasilającego $+U_{DD}$ jest przyłączony do **źródła S** tranzystora p-MOS (oznaczonego symbolem **T_p**), podczas gdy **źródło S** tranzystora n-MOS (oznaczonego symbolem **T_n**) jest na masie. Końcówki **drenów D** obu tranzystorów są połączone razem i tworzą wyjście układu.



Rys. 6.4 Charakterystyki wzbogacanych tranzystorów MOS

Gdy napięcie wejściowe $U_i = U_{GS}$ jest równe **0**, wtedy tranzystor **T_n** jest **wyłączony**. Dla tranzystora **T_p** napięcie $U_{GS} = U_i - U_{DD} \cong -U_{DD}$, a zatem **T_p** jest **włączony**. Napięcie wyjściowe jest równe napięciu U_{DD} , co oznacza stan **1**.



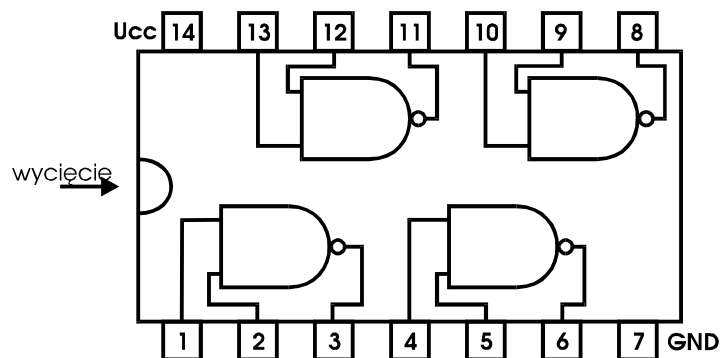
Rys. 4.5. Inwerter CMOS i jego charakterystyka przejściowa

Gdy napięcie wejściowe jest dostatecznie duże (dodatnie), co oznacza stan **1**, wtedy tranzystor **T_n** jest **włączony**, a tranzystor **T_p** jest **wyłączony**. Napięcie wyjściowe jest praktycznie równe 0V, co oznacza stan **0**.

Podstawową zaletą układów CMOS jest **znikomy pobór mocy**, który występuje wyłącznie podczas przełączania. Ilustruje to **rys. 4.5**.

Schemat wyprowadzeń układu cyfrowego stosowany przez producentów

Na **rys. 4.6** przedstawiono przykład pokazujący schemat wyprowadzeń układu **74LS00**, który zawiera **cztery dwuwyjściowe bramki NAND**. Wycięcie w obudowie jednoznacznie określa kolejność wyprowadzeń.



Rys. 4.6. Widok z góry wyprowadzeń układu 74LS00

Porównanie układów TTL i układów CMOS

Wewnątrz układów TTL i układów CMOS występuje wiele "rodzin" układowych charakteryzujących się różnymi parametrami technicznymi, z których najważniejsze to czas propagacji, moc strat na bramkę oraz napięcie zasilania, które ma podstawowe znaczenie przy łączeniu układów CMOS z układami TTL. Porównanie układów CMOS i TTL ilustruje **tablica 4.1**.

Tablica 4.1. Charakterystyczne parametry "rodzin" CMOS i TTL

Parametr	Rodzina TTL			Rodzina CMOS			
	LS	ALS	F	4000B 74C	HC HCT	AHC AHCT	AC ACT
Napięcie zasilające U_{CC} [V]	5±5%	5±10%	5±5%	3 - 18	2 - 6	2 - 5,5	2 - 6
Moc strat na bramkę w stanie statycznym P_{typ} [mW]	2	1	5,5	0,001	0,0025	0,0025	0,0025
Czas propagacji t_{prop} [ns] przy $C_L = 50$ pF	9	5	3,5	125	8	5,2	3
Maksymalna częstotliwość pracy f_{max} [MHz]	33	50	150	4	50	115	160
Prąd wyjściowy $I_{OH, max}$ [mA] przy $U_{OH, min}$	0,4	0,4	1	2,1 przy 2,5V	6 przy 4,5V	8 przy 4,5V	24 przy 3,8V
Prąd wyjściowy $I_{OL, max}$ [mA] przy $U_{OL, max}$	-8	-8	-20	-0,44 przy 0,4V	-6 przy 0,4V	-8 przy 0,4V	-24 przy 0,4V
Prąd wejściowy $I_{IH, max}$ [μA]	20	20	20	0,1	1	1	1
Prąd wejściowy $I_{IL, max}$ [μA]	400	200	600	0,1	1	1	1
Margines zakłóceń M_{min} [V]	0,3	0,4	0,3	0,3 U_{CC}	0,28 U_{CC} : 1,25V przy $U_{CC}=4,5V$ oraz 1,4V przy $U_{CC}=5,0V$		

RODZINY UKŁADÓW LOGICZNYCH TTL I CMOS

TTL	
ALS	Advanced Low-Power Schottky Logic
AS	Advanced Schottky Logic
F	Fast Logic
LS	Low-Power Schottky Logic
S	Schottky Logic

CMOS	
AC	Advanced CMOS Logic
ACT	Advanced CMOS Logic
AHC	Advanced High-Speed CMOS
AHCT	Advanced High-Speed CMOS
ALVC	Advanced Low-Voltage CMOS Technology
AUC	Advanced Ultra-Low-Voltage CMOS Logic
AUP	Advanced Ultra-Low-Power CMOS Logic
AVC	Advanced Very-Low-Voltage CMOS Logic
CB3Q	Low-Voltage, High-Bandwidth Bus Switch Technology
CB3T	Low-Voltage, Translator Bus Switch Technology
CBT	Crossbar Technology
CBT-C	CBT with Undershoot Protection
CBTLV	Low-Voltage Crossbar Technology
CD4000	CMOS Logic
FCT	Fast CMOS Technology
GTL P	Gunning Transceiver Logic Plus
HC	High-Speed CMOS Logic
HCT	High-Speed CMOS Logic
LV-A	Low-Voltage CMOS Technology
LV-AT	Low-Voltage CMOS Technology
LVC	Low-Voltage CMOS Technology
PCA	Inter Integrated Circuit
PCF	Inter Integrated Circuit
SSTV	Stub Series Terminated Low-Voltage Logic
TVC	Translation Voltage Clamp
VME	VME Bus Products

UWAGI:

★ CMOS-owe rodziny 74HCT oraz 74ACT mają te same **napięcia zasilania i poziomy logiczne** jak rodziny TTL. Wszystkie rodziny oznaczone **74.....** mają te same **kody numerowe** określające **funkcję** danego układu oraz identyczny **rozkład wyprowadzeń**. Umożliwia to **łączenie** układów CMOS i TTL **między sobą** (są one układowo **kompatybilne**).

★ Gdy wymagany jest **niski pobór mocy i rozszerzony zakres napięć logicznych**, wtedy stosujemy układy CMOS rodziny 4000B. Są one szczególnie chętnie wykorzystywane przy stosowaniu **zasilania bateryjnego**.

★ Największą **gęstość upakowania** elementów w chip-ie osiąga się w układach CMOS, stąd układy skali **LSI** oraz **VLSI** są układami CMOS.

★ Układy CMOS charakteryzują się **niskim poborem mocy**, ale są stosunkowo **wolniejsze** od układów TTL, chociaż - układy rodziny 74ACT ustępują w szybkości tylko najszybszym układom TTL tj. rodzinie 74AS.

★ Układy CMOS charakteryzują się znacznie **większym marginesem zakłóceń** niż układy TTL.

BADANIE PODSTAWOWYCH BRAMEK LOGICZNYCH

1. Wstęp

Przedmiotem ćwiczenia jest badanie właściwości obecnie najbardziej popularnych bramek CMOS z rodziny 74HC(T) i 74AC(T) oraz nadal stosowanych bramek TTL z rodziny 74LS, 74A(L)S i 74F. Te dwie rodziny wystarczają do realizacji wszelkich układów cyfrowych, z wyjątkiem układów dużej skali scalenia LSI, które są zdominowane przez technologię CMOS lub NMOS, oraz układów bardzo szybkich, gdzie są stosowane układy z arsenku galu oraz układy ECL. Studenci wykonujący ćwiczenie mogą badać własne proste układy scalone z innych współcześnie używanych rodzin z wyjątkiem układów przestarzałych typu 74S, 74H i 74L. Stanowisko pomiarowe umożliwia obserwację statycznych charakterystyk przejściowych dla wszystkich wymienionych wyżej rodzajów bramek, obserwację przebiegów na wyjściu łańcucha złożonego z połączonych szeregowo bramek oraz pomiar prądu zasilania tych bramek. Istnieje możliwość zdejmowania charakterystyk wejściowych i wyjściowych zarówno w stanie wysokim jak i niskim na wyjściu badanej bramki.

Ponieważ w ćwiczeniu nie są istotne funkcje logiczne badanych bramek, tylko parametry statyczne i dynamiczne, do doświadczeń należy wybierać najprostsze ich realizacje, np. inwertery cyfrowe.

Dla większości zastosowań najbardziej odpowiednia jest seria szybkich układów CMOS, oznaczona literami HC następującymi po liczbie 74, np. 74HC00. Gdy jest wymagana pełna zgodność ze standardem TTL, należy stosować układy 74HCTxx (lub 74LSxx). Wymagania najwyższej szybkości przełączania zapewnią układy 74AC(T).

2. Opis badanego układu

Układ zasilany jest napięciem symetrycznym ± 15 [V], które należy doprowadzić do 3 gniazd znajdujących się w lewym górnym rogu płyty czołowej, oznaczonych jako +15, GND, -15. Gniazda oznaczone „Mierniki” (6 par) służą do dołączania zewnętrznych przyrządów pomiarowych, takich jak woltomierz, amperomierz oraz oscyloskop.

Układ charakterograficzny, służący do zdejmowania charakterystyk przejściowych, posiada dwa kanały i umożliwia obserwację dwóch charakterystyk jednocześnie.

Podstawki oznaczone „TTL” oraz „CMOS” nie są podłączone do zasilania, dlatego aby je wykorzystać należy połączyć punkty łączeniowe „Vcc” z odpowiednim dla danego układu napięciem (+5V lub ± 15 V), a następnie doprowadzić to napięcie do odpowiednich nóżek układu scalonego.

Źródła prądu wpływającego (regulowane w zakresie 1÷15 [mA]) oraz źródła prądu wypływającego (regulowane w zakresie 1÷10 [mA]) służą do zdejmowania charakterystyk wejściowych i wyjściowych bramek.

Łańcuch złożony z 8 szeregowo połączonych bramek wymaga podłączenia odpowiedniego (ze względu na typ badanych układów) zasilania do punktu Vcc.

Generator wypracowuje ciąg impulsów prostokątnych, które służą do obserwacji odpowiedzi na wyjściu łańcucha bramek. Generacja drgań wymaga połączenia odpowiadającego mu punktu Vcc z napięciem +5 [V].

W układzie istnieje możliwość obserwacji napięcia zasilania oraz pomiaru prądu zasilającego łańcuch bramek.

3. Wykaz aparatury pomocniczej

Do wykonania ćwiczenia potrzebne są następujące przyrządy pomocnicze:

- oscyloskop z sondami wyposażonymi we wtyczki bananowe;
- zasilacz napięcia symetrycznego względem masy +15 [V], GND, -15 [V];
- miernik uniwersalny;
- zasilacz regulowany -1...+15 [V];
- zestaw układów scalonych

bramki TTL

74LS00, 74ALS00, 74F00, 74LS03, 74LS132, 74LS125,

bramki CMOS

74HC(T)00, 74ACT00, 74HC(T)03, 74HC(T)132, 74HC(T)125.

4. Zagadnienia wstępne i projektowe

1. Wykreśl charakterystyki przejściowe różnych serii bramek: trzech TTL i trzech CMOS.
2. Podaj definicje podstawowych parametrów dynamicznych bramek logicznych t_f , t_r , t_{dLH} , t_{dHL} .
3. Narysuj schematy pomiarowe do wszystkich punktów ćwiczenia.

Dla wybranych bramek wyznacz wartości poziomów napięć, amplitudy logicznej, napięcia progowego oraz marginesów zakłóceń dla obu stanów wejściowych bramki. Dane zestaw tabeli.

5. Obserwacje i pomiary

5. 1. Obserwacja statycznych charakterystyk przejściowych bramek

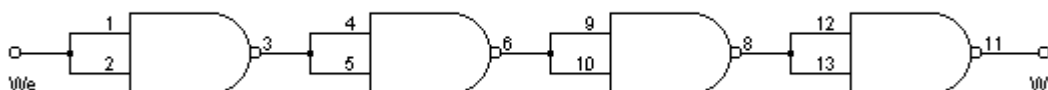
Posługując się układem charakterograficznym (lub generatorem przebiegu trójkątnego i oscyloskopem pracującym w trybie XY) obejrzeć na ekranie oscyloskopu i przerysować do protokołu charakterystyki przejściowe badanych bramek. Na podstawie rysunków oszacować poziomy napięć wyjściowych dla stanu L i H oraz amplitudy logiczne. Wyjście badanej bramki należy połączyć z wejściem A lub B układu charakterograficznego, natomiast wejście badanej bramki należy połączyć z wyjściem X układu charakterograficznego. Wyjścia X, Y układu charakterograficznego należy połączyć z wejściami X, Y oscyloskopu oraz ustawić oscyloskop w tryb pracy XY.

Otrzymane oscylogramy wyskalować w jednostkach napięcia. Z otrzymanych charakterystyk przejściowych wyznaczyć wartości napięć przełączania oraz wartości napięć na wyjściu każdej z bramek dla stanu L (U_{0L}) i H (U_{0H}). Na podstawie wyznaczonych parametrów określić wartości marginesów zakłóceń statycznych dla stanu niskiego $M_L = U_T - U_{0L}$ i wysokiego $M_H = U_{0H} - U_T$. Wyniki umieścić w poniższej tabeli.

Rodzaj bramki	U_T [V]	U_{0L} [V]	U_{0H} [V]	M_H [V]	M_L [V]
np. 74LS00					

5. 2. Pomiar czasów propagacji bramek

Pobudzając wejścia łańcuchów bramek przebiegiem prostokątnym z generatora zaobserwować na ekranie oscyloskopu przebiegi wyjściowe jednocześnie z przebiegami wejściowymi (praca dwukanałowa).



Rys. 1. Połowa badanego łańcucha bramek (jeden układ scalony)

Na podstawie obserwowanych przebiegów wyznaczyć charakterystyczne czasy: t_r , t_f , t_{DLH} , t_{DHL} i obliczyć te czasy dla pojedynczej bramki.

5. 3. Pomiar charakterystyk wyjściowych.

Do pomiaru należy wykorzystać regulowane źródło prądu wpływającego lub wypływającego zależnie od stanu logicznego na wyjściu badanej bramki. Napięcie wyjściowe można mierzyć miernikiem uniwersalnym lub oscyloskopem. Do wejść badanej bramki należy doprowadzić raz wysoki, a raz niski poziom logiczny (dla każdej badanej bramki dwie charakterystyki). Wyjście bramki z otwartym kolektorem (drenem) należy dołączyć dodatkowo do napięcia V_{cc} poprzez rezystor ok. 1 [k Ω].

5. 4. Pomiar charakterystyk wejściowych.

Do pomiaru należy wykorzystać miernik uniwersalny ustawiony jako miliamperomierz oraz regulowane napięcie zasilające (-1...+4 [V] dla bramek TTL). Wyjście badanej bramki należy pozostawić rozwarne. Wejścia badanych bramek powinny być zwarte.

Literatura:

- Kalisz J. Podstawy elektroniki cyfrowej, WKiŁ, 2002
- Filipkowski A. Układy elektroniczne analogowe i cyfrowe, WNT, 2003
- Marciniak W. Przyrządy półprzewodnikowe MOS, WNT, 1991
- Baranowski J., Kalinowski B., Nosal Z. Układy elektroniczne, cz. III - Układy i systemy cyfrowe, 1998

Będę niezmiernie wdzięczny za wszelkie sugestie zmian lub poprawek przesłane na adres dawid@pb.edu.pl lub dawid@csk.pl w celu dalszego doskonalenia niniejszego opracowania.
dr hab. inż. Jakub Dawidziuk, prof. PB